

星联微电子有限公司

XL9643-65

低功耗、 65MSPS 集成双通道 14 位 ADC

产品手册

版本 V0.5

特征

1.8V 模拟/数字电源
LVDS (ANSI-644 电平) 输出
片内精密电压基准
三线 SPI 接口
采样率达 65MSPS
性能

SNR: 典型值为 70.6dBFS (30MHz)
SFDR: 典型值为 94.3dBc (30MHz)
输入噪声: -150dBFS/Hz (30MHz)
通道间隔离度: 90dB (30MHz)
总功耗: 107mW

灵活的模拟输入范围: 1.4Vpp~2Vpp
最大 625MHz 时钟输入频率, 支持 1 到 8 分频模式
QFN64 9mm × 9mm 封装

应用

通信设备
I/Q 解调系统
智能天线系统
超声设备
数据采集系统

概述

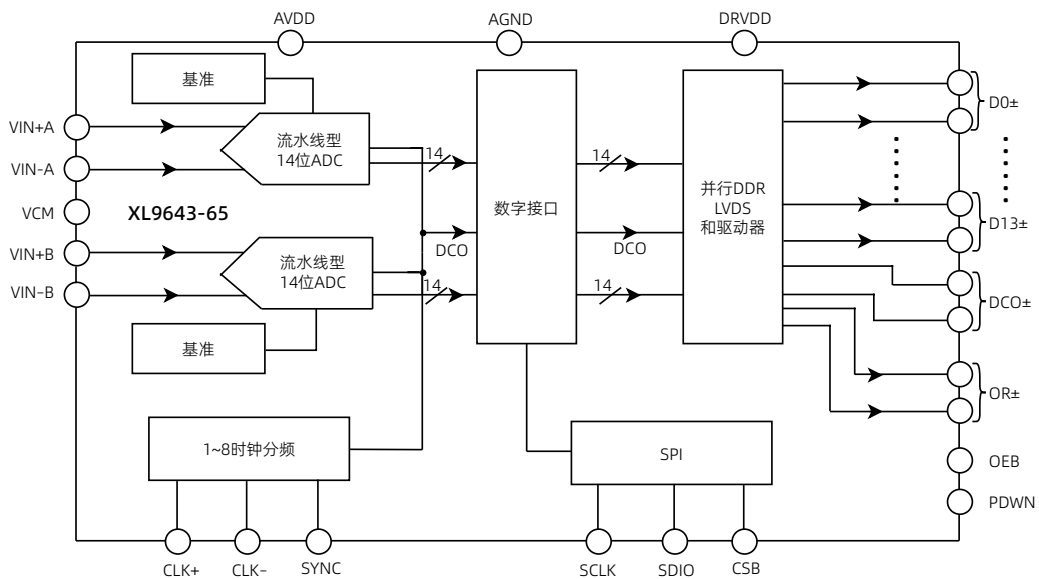
XL9643-65 是一款 14 位、集成双通道流水线型模数转换器(ADC), 采样率最高达 65MSPS, 旨在为低成本、小尺寸、宽带宽、多功能通信应用提供解决方案。

XL9643-65 内核采用七级差分流水线结构, 并集成了数字校准逻辑以及输出纠错逻辑, 以实现更好的 SNR 和 SFDR 性能。输入方面: 该款 ADC 支持宽带宽输入, 方便用户灵活选择输入范围。输出方面: 采用 14 位 LVDS 并口输出, 两通道数据采用交错或者复用的方式进行输出。外围电路方面: 内部集成精密电压基准且可提供输入共模电压, 可简化外围电路设计。配置方面: 通过三线 SPI 接口, 可轻松实现所有功能配置。

XL9643-65 采用独有的专利技术, 大幅优化了功耗性能。在 65MSPS 采样率下工作, 典型功耗仅为 107mW。同时芯片还支持断电模式, 在该模式下功耗会大幅降至 4.9mW。

XL9643-65 采用 QFN64 型封装, 其工作温度范围为 -40°C~85°C。

架构框图



目录

封页.....	1	寄存器.....	23
特征.....	1	SPI CONFIG (GLO, 0x00).....	24
应用.....	1	CHIP ID (GLO, 0x01).....	24
概述.....	1	CHIP GRADE (GLO, 0x02).....	24
架构框图.....	1	CHANNEL INDEX (GLO, 0x05).....	24
文档历史.....	3	POWER MODE (LOC, 0x08).....	24
管脚配置和功能.....	4	CLK DIVIDE (GLO, 0x0B).....	25
管脚配置 (交错方式)	4	TEST MODE (LOC, 0x0D).....	25
管脚功能 (交错方式)	4	OFFSET ADJUST (LOC, 0x10).....	26
管脚配置 (复用方式)	7	OUTPUT MODE (LOC, 0x14).....	26
管脚功能 (复用方式)	7	OUTPUT ADJUST (GLO, 0x15).....	26
绝对最大额定值.....	10	CLK PHASE CTRL (GLO, 0x16).....	27
电气规格.....	11	DCO OUTPUT DELAY (GLO, 0x17).....	27
时序规格.....	14	INPUT SPAN SELECT (GLO, 0x18).....	27
典型特征.....	16	TEST PATTERN1 LSB (GLO, 0x19).....	28
工作原理.....	17	TEST PATTERN1 MSB (GLO, 0x1A).....	28
ADC 结构.....	17	TEST PATTERN2 LSB (GLO, 0x1B).....	28
模拟输入.....	17	TEST PATTERN2 MSB (GLO, 0x1C).....	28
输入共模.....	17	TEST PATTERN3 LSB (GLO, 0x1D).....	28
差分输入.....	17	TEST PATTERN3 MSB (GLO, 0x1E).....	28
电压基准.....	18	TEST PATTERN4 LSB (GLO, 0x1F).....	28
时钟输入.....	18	TEST PATTERN4 MSB (GLO, 0x20).....	28
时钟输入选项.....	18	SYNC CTRL (GLO, 0x3A).....	29
抖动.....	19	TRANSFER (GLO, 0xFF).....	29
数字输出.....	19	应用.....	30
数字输出使能功能 (OEB).....	19	电源和接地建议.....	30
时序.....	19	裸露焊盘散热块建议.....	30
数据时钟输出 (DCO).....	19	VCM 管脚.....	30
超量程 (OR).....	19	封装及订购信息.....	31
功能与模式.....	21	封装方式.....	31
功耗和待机模式.....	21	产品外形图.....	31
通道/芯片同步功能.....	21	订购信息.....	32
SPI 接口.....	22		

文档历史

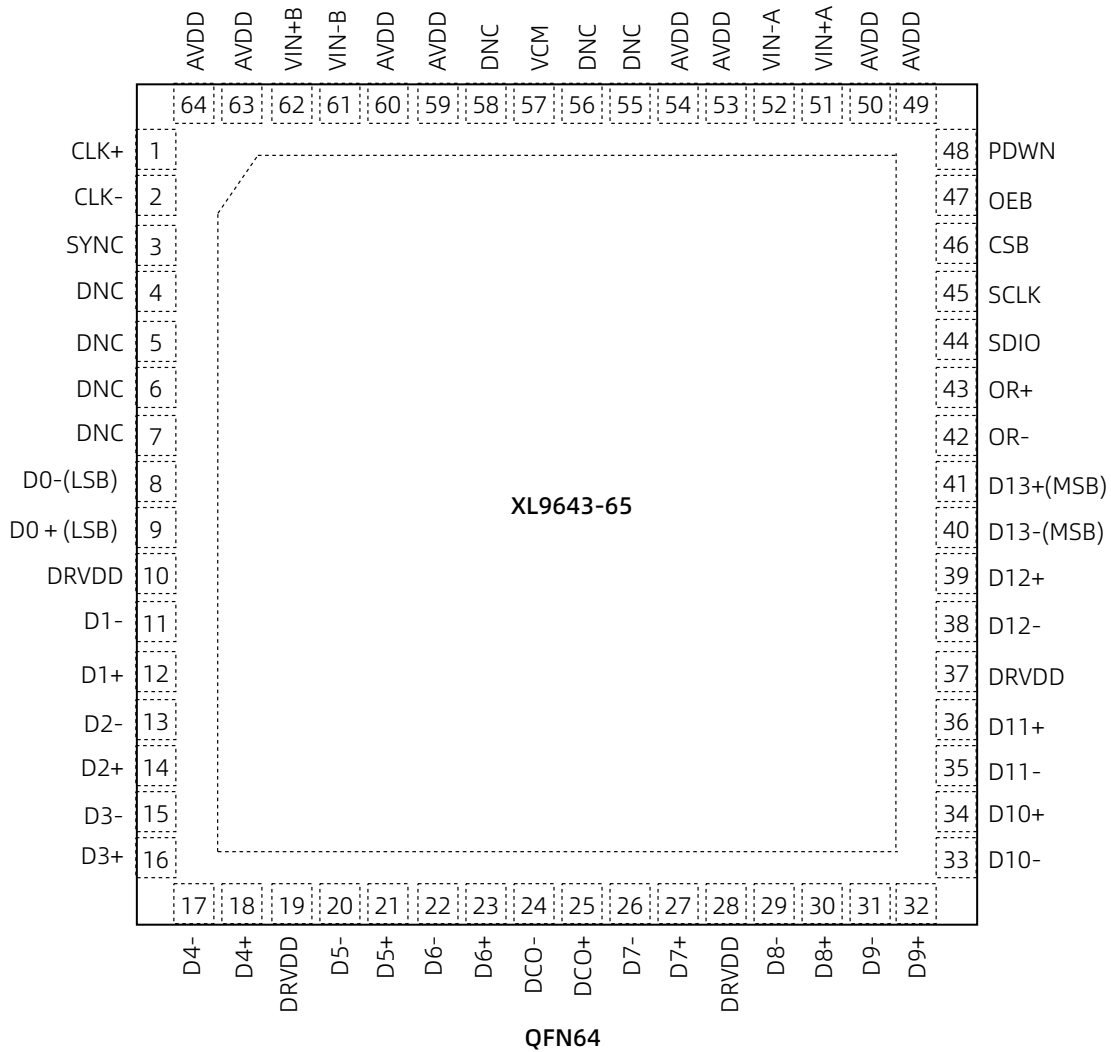
下表列举了本文档自产品发布后的所有更新。

文档版本	修订日期	内容描述
V0.5	2025-11-21	预发布。

管脚配置和功能

管脚配置（交错方式）

以下为 QFN64 封装，交错方式管脚示意图：



管脚功能（交错方式）

表 1 管脚功能描述（交错方式）

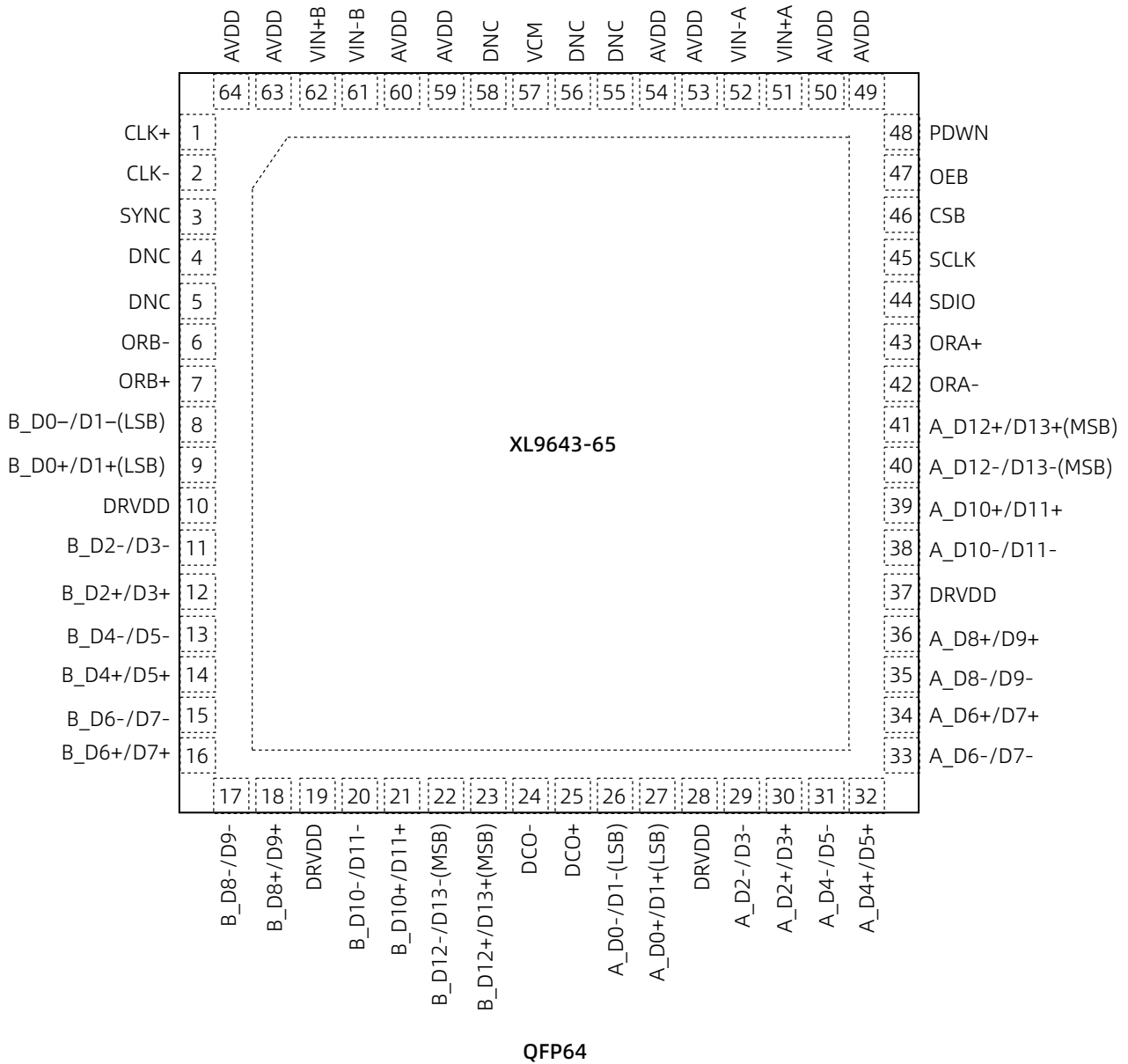
编号	名称	类型	说明
1	CLK+	AI	ADC 差分时钟输入 (+)。
2	CLK-	AI	ADC 差分时钟输入 (-)。
3	SYNC	DI	数字同步端口配置。不使用时须通过一个 10kΩ 的电阻接地。
4~7, 55, 56, 58	DNC	NC	浮空，不需要连接。
8	D0-(LSB)	DO	通道 A/通道 B，LVDS 模式输出数据 0。
9	D0+(LSB)	DO	通道 A/通道 B，LVDS 模式输出数据 0。
10, 19, 28, 37	DRVDD	PWR	数字电源 (1.8V)。
11	D1-	DO	通道 A/通道 B，LVDS 模式输出数据 1。

编号	名称	类型	说明
12	D1+	DO	通道 A/通道 B, LVDS 模式输出数据 1。
13	D2-	DO	通道 A/通道 B, LVDS 模式输出数据 2。
14	D2+	DO	通道 A/通道 B, LVDS 模式输出数据 2。
15	D3-	DO	通道 A/通道 B, LVDS 模式输出数据 3。
16	D3+	DO	通道 A/通道 B, LVDS 模式输出数据 3。
17	D4-	DO	通道 A/通道 B, LVDS 模式输出数据 4。
18	D4+	DO	通道 A/通道 B, LVDS 模式输出数据 4。
20	D5-	DO	通道 A/通道 B, LVDS 模式输出数据 5。
21	D5+	DO	通道 A/通道 B, LVDS 模式输出数据 5。
22	D6-	DO	通道 A/通道 B, LVDS 模式输出数据 6。
23	D6+	DO	通道 A/通道 B, LVDS 模式输出数据 6。
24	DCO-	DO	通道 A/通道 B, LVDS 模式数据时钟输出。
25	DCO+	DO	通道 A/通道 B, LVDS 模式数据时钟输出。
26	D7-	DO	通道 A/通道 B, LVDS 模式输出数据 7。
27	D7+	DO	通道 A/通道 B, LVDS 模式输出数据 7。
29	D8-	DO	通道 A/通道 B, LVDS 模式输出数据 8。
30	D8+	DO	通道 A/通道 B, LVDS 模式输出数据 8。
31	D9-	DO	通道 A/通道 B, LVDS 模式输出数据 9。
32	D9+	DO	通道 A/通道 B, LVDS 模式输出数据 9。
33	D10-	DO	通道 A/通道 B, LVDS 模式输出数据 10。
34	D10+	DO	通道 A/通道 B, LVDS 模式输出数据 10。
35	D11-	DO	通道 A/通道 B, LVDS 模式输出数据 11。
36	D11+	DO	通道 A/通道 B, LVDS 模式输出数据 11。
38	D12-	DO	通道 A/通道 B, LVDS 模式输出数据 12。
39	D12+	DO	通道 A/通道 B, LVDS 模式输出数据 12。
40	D13-(MSB)	DO	通道 A/通道 B, LVDS 模式输出数据 13。
41	D13+(MSB)	DO	通道 A/通道 B, LVDS 模式输出数据 13。
42	OR-	DO	通道 A/通道 B, LVDS 模式超量程输出。
43	OR+	DO	通道 A/通道 B, LVDS 模式超量程输出。
44	SDIO	DI/O	SPI 串行数据。
45	SCLK	DI	SPI 串行时钟。
46	CSB	DI	SPI 片选配置, 低电平有效。
47	OEB	DI	输出使能端口, 低电平有效。
48	PDWN	DI	断电模式控制, 高电平有效。基于 SPI 模式, 可配置为断电模式或待机模式。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	PWR	模拟电源 (1.8V)。

编号	名称	类型	说明
51	VIN+A	AI	通道 A 差分模拟输入 (+)。
52	VIN-A	AI	通道 A 差分模拟输入 (-)。
57	VCM	A	模拟输入的共模电平输出，该管脚与地之间需要连接 0.1 μ F 去耦电容。
61	VIN-B	AI	通道 B 差分模拟输入 (-)。
62	VIN+B	AI	通道 B 差分模拟输入 (+)。

管脚配置（复用方式）

以下为 QFN64 封装，复用方式管脚示意图：



管脚功能（复用方式）

表 2 管脚功能描述（复用方式）

编号	名称	类型	说明
1	CLK+	AI	ADC 差分时钟输入 (+)。
2	CLK-	AI	ADC 差分时钟输入 (-)。
3	SYNC	DI	数字同步端口配置。不使用时须通过一个 10kΩ 的电阻接地。
4, 5, 55, 56, 58	DNC	NC	浮空，不需要连接。
6	ORB-	DO	通道 B 超量程输出，DCO 上升沿有效。
7	ORB+	DO	通道 B 超量程输出，DCO 上升沿有效。

编号	名称	类型	说明
8	B_D0-/D1-(LSB)	DO	通道 B, LVDS 模式输出数据 0/数据 1。
9	B_D0+/D1+(LSB)	DO	通道 B, LVDS 模式输出数据 0/数据 1。
10, 19, 28, 37	DRVDD	PWR	数字电源 (1.8V)。
11	B_D2-/D3-	DO	通道 B, LVDS 模式输出数据 2/数据 3。
12	B_D2+/D3+	DO	通道 B, LVDS 模式输出数据 2/数据 3。
13	B_D4-/D5-	DO	通道 B, LVDS 模式输出数据 4/数据 5。
14	B_D4+/D5+	DO	通道 B, LVDS 模式输出数据 4/数据 5。
15	B_D6-/D7-	DO	通道 B, LVDS 模式输出数据 6/数据 7。
16	B_D6+/D7+	DO	通道 B, LVDS 模式输出数据 6/数据 7。
17	B_D8-/D9-	DO	通道 B, LVDS 模式输出数据 8/数据 9。
18	B_D8+/D9+	DO	通道 B, LVDS 模式输出数据 8/数据 9。
20	B_D10-/D11-	DO	通道 B, LVDS 模式输出数据 10/数据 11。
21	B_D10+/D11+	DO	通道 B, LVDS 模式输出数据 10/数据 11。
22	B_D12-/D13-(MSB)	DO	通道 B, LVDS 模式输出数据 12/数据 13。
23	B_D12+/D13+(MSB)	DO	通道 B, LVDS 模式输出数据 12/数据 13。
24	DCO-	DO	通道 A/通道 B, LVDS 模式数据时钟输出。
25	DCO+	DO	通道 A/通道 B, LVDS 模式数据时钟输出。
26	A_D0-/D1-(LSB)	DO	通道 A, LVDS 模式输出数据 0/数据 1。
27	A_D0+/D1+(LSB)	DO	通道 A, LVDS 模式输出数据 0/数据 1。
29	A_D2-/D3-	DO	通道 A, LVDS 模式输出数据 2/数据 3。
30	A_D2+/D3+	DO	通道 A, LVDS 模式输出数据 2/数据 3。
31	A_D4-/D5-	DO	通道 A, LVDS 模式输出数据 4/数据 5。
32	A_D4+/D5+	DO	通道 A, LVDS 模式输出数据 4/数据 5。
33	A_D6-/D7-	DO	通道 A, LVDS 模式输出数据 6/数据 7。
34	A_D6+/D7+	DO	通道 A, LVDS 模式输出数据 6/数据 7。
35	A_D8-/D9-	DO	通道 A, LVDS 模式输出数据 8/数据 9。
36	A_D8+/D9+	DO	通道 A, LVDS 模式输出数据 8/数据 9。
38	A_D10-/D11-	DO	通道 A, LVDS 模式输出数据 10/数据 11。
39	A_D10+/D11+	DO	通道 A, LVDS 模式输出数据 10/数据 11。
40	A_D12-/D13-(MSB)	DO	通道 A, LVDS 模式输出数据 12/数据 13。
41	A_D12+/D13+(MSB)	DO	通道 A, LVDS 模式输出数据 12/数据 13。
42	ORA-	DO	通道 A 超量程输出, DCO 上升沿有效。
43	ORA+	DO	通道 A 超量程输出, DCO 上升沿有效。
44	SDIO	DI/O	SPI 串行数据。
45	SCLK	DI	SPI 串行时钟。
46	CSB	DI	SPI 片选配置, 低电平有效。

编号	名称	类型	说明
47	OEB	DI	输出使能端口，低电平有效。
48	PDWN	DI	断电模式控制，高电平有效。基于 SPI 模式，可配置为断电模式或待机模式。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	PWR	模拟电源 (1.8V)。
51	VIN+A	AI	通道 A 差分模拟输入 (+)。
52	VIN-A	AI	通道 A 差分模拟输入 (-)。
57	VCM	A	模拟输入的共模电平输出，该管脚与地之间需要连接 0.1 μ F 去耦电容。
61	VIN-B	AI	通道 B 差分模拟输入 (-)。
62	VIN+B	AI	通道 B 差分模拟输入 (+)。

绝对最大额定值

参数		最小值	最大值	单位
温度				
工作温度		-40	85	°C
存储温度		-65	125	°C
结温			150	°C
回流焊	铅锡焊接温度 (10 秒到 30 秒)		240	°C
	无铅焊接温度		260	°C
耐压				
AVDD、DRVDD 至 AGND		-0.3	2	V
VIN+A/VIN+B、VIN-A/VIN-B、CLK+/CLK-、SYNC、VCM 至 AGND		-0.3	AVDD + 0.2	V
CSB、SCLK、OEB、PDWN、OR+/OR- 至 AGND		-0.3	DRVDD + 0.3	V
D0~D13、DCO+/DCO- 至 AGND		-0.3	VCC + 0.3	V
ESD				
HBM		1500		V
CDM		250		V

电气规格

默认测试条件：AVDD = 1.8V、DRVDD = 1.8V、 $f_s = 65\text{MSPS}$ 、 $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、1.75Vpp 满量程输入。

参数	测试条件	最小值	典型值	最大值	单位
直流精度					
DNL	$f_{IN} = 10\text{MHz}$		± 0.54	± 0.6	LSB
INL	$f_{IN} = 10\text{MHz}$		± 0.9	± 1.3	LSB
分辨率		14			Bits
失调误差			± 0.5	± 10	mV
增益误差				± 7	%FSR
失调误差匹配			± 0.3	± 13	mV
增益误差匹配				-2.5/3.5	%FSR
失调误差温漂			3.1		ppm/ $^\circ\text{C}$
增益误差温漂				150	ppm/ $^\circ\text{C}$
动态性能					
SNR	$f_{IN} = 10\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		71		dBFS
	$f_{IN} = 30\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		70.6		dBFS
SNDR	$f_{IN} = 10\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		70.7		dBFS
	$f_{IN} = 30\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		70.6		dBFS
ENOB	$f_{IN} = 10\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		11.3		Bits
	$f_{IN} = 30\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		11.3		Bits
第二或第三谐波	$f_{IN} = 10\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		-97.7		dBc
	$f_{IN} = 30\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		-94.3		dBc
SFDR	$f_{IN} = 10\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		96.5		dBc
	$f_{IN} = 30\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		94.3		dBc
谐波或杂波信号	$f_{IN} = 10\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		-100.2		dBc
	$f_{IN} = 30\text{MHz}$, -1dBFS, $T_A = 25^\circ\text{C}$		-100.9		dBc
双音信号 SFDR	$f_{IN} = 29\text{MHz}/31\text{MHz}$, -7dBFS, $T_A = 25^\circ\text{C}$		89		dBc
输入参考噪声	-1dBFS, $T_A = 25^\circ\text{C}$		1.33		LSB rms
通道间隔离度 ¹			90		dB
全功率带宽 ²	-1dBFS, $T_A = 25^\circ\text{C}$		1000		MHz
模拟输入					
输入电压		1.7	1.8	1.9	V
输入电容			2.5		pF
输入阻抗			20		k Ω
共模电压			0.9		V

参数	测试条件	最小值	典型值	最大值	单位
输入时钟频率				625	MHz
转换率		20		65	MSPS
时钟周期	不分频模式	4			ns
CLK 高电平脉冲宽度 (t_{CH})	不分频模式	1.8	2	2.1	ns
	2分频到8分频模式	0.8			ns
数字输入/输出					
逻辑电平标准		LVDS/LVPECL			
内部共模偏置		0.9			V
差分输入电压		0.3		3.6	V _{pp}
输入电压范围		AGND		AVDD	V
输入共模电压范围		0.9		1.4	V
高电平输入电压		1.22		2.1	V
低电平输入电压		0		0.6	V
高电平输入电流		-10		70	μA
低电平输入电流		-80		5	μA
输入电容		5			kΩ
输入阻抗		26			pF
差分输出电压	ANSI 模式	250	350	450	mV
	降低摆幅模式	150	200	280	mV
输出失调电压	ANSI 模式	1.15	1.22	1.35	V
	降低摆幅模式	1.15	1.22	1.35	V
数据传播时延 (t_{PD}) ³		6			ns
DCO 传播时延 (t_{DCO}) ³		6.7			ns
DCO 到数据偏移 (t_{SKEW})		0.4	0.7	1	ns
流水线延迟		10			Cycle
孔径延迟 (t_A)		1			ns
孔径不确定性 (抖动, t_j)		0.1			ps rms
唤醒时间	待机模式	10			μs
	断电模式	250			μs
超量程恢复时间		3			Cycle
电源					
AVDD		1.7	1.8	1.9	V
DRVDD		1.7	1.8	1.9	V
IAVDD		91			mA

参数	测试条件	最小值	典型值	最大值	单位
IDRVDD			113		mA
功耗	正弦波输入		107		mW
	待机模式		20		mW
	断电模式		4.9		mW

注1: 串扰在100MHz输入信号频率下进行测量, 一个通道上输入为1dBFS, 另一个通道上无输入。

注2: 全功率带宽是指运行时能满足相应ADC性能的带宽。

注3: 延迟与转换率相关。

时序规格

参数	描述	最小值	典型值	最大值	单位
t_{SYNCLKST}	SYNC 到 CLK 上升沿的建立时间。	0.3	1		ns
t_{SYNCLKHD}	SYNC 到 CLK 上升沿的保持时间。	0.4	1		ns
t_{DATSCKST}	数据到 SCLK 上升沿的建立时间。	2			ns
t_{DATSCKHD}	数据到 SCLK 上升沿的保持时间。	2			ns
t_{SCK}	SCLK 周期。	40			ns
$t_{\text{CSBSCSKST}}$	CSB 到 SCLK 的建立时间。	2			ns
$t_{\text{CSBSCSKHD}}$	CSB 到 SCLK 的保持时间。	2			ns
t_{SCKHCYC}	SCLK 高电平下的最小时钟周期。	10			ns
t_{SCKLCYC}	SCLK 低电平下的最小时钟周期。	10			ns
$t_{\text{SDIOSCKDWN}}$	SDIO 管脚从输入切换到与 SCLK 下降沿相关的输出所需要的时间。	10			ns
$t_{\text{SDIOSCKUP}}$	SDIO 管脚从输出切换到与 SCLK 上升沿相关的输入所需要的时间。	10			ns

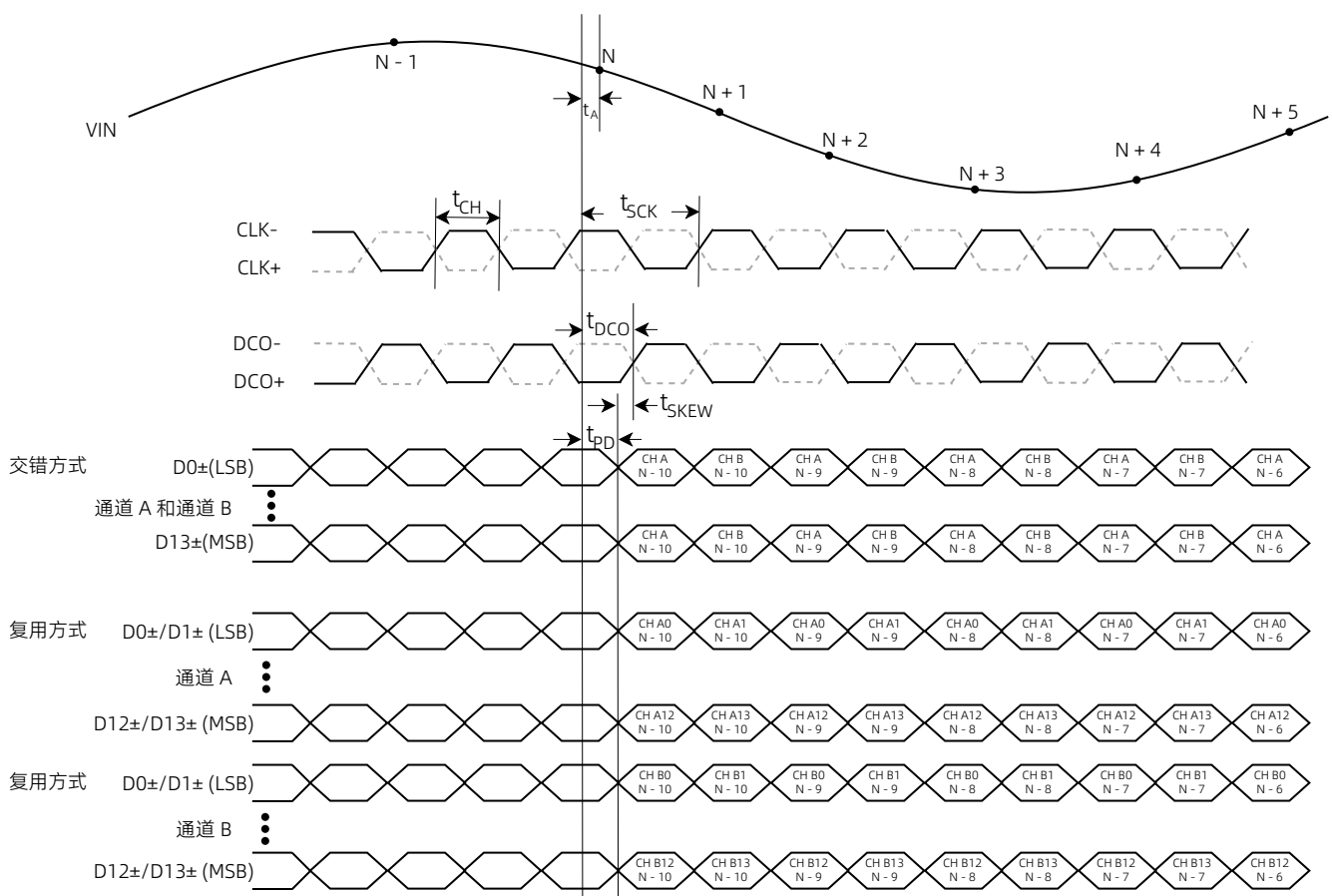


图 1 LVDS 模式下数据输出时序图

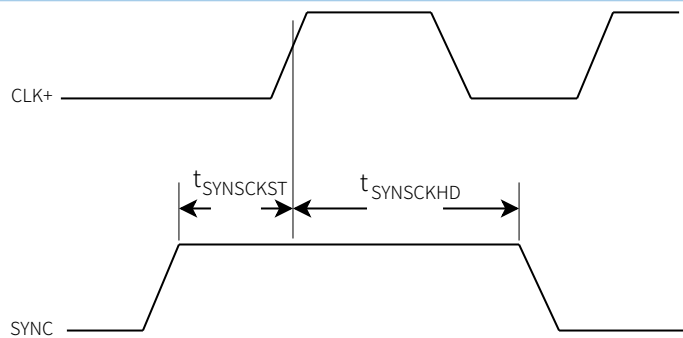


图 2 SYNC 时序输入图

典型特征

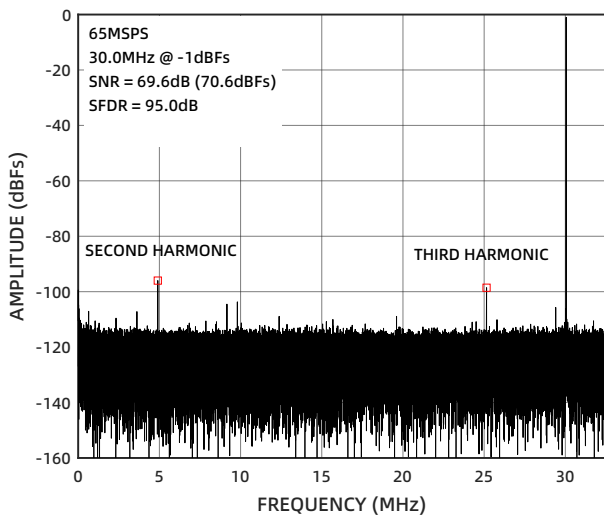


图 3 单音 FFT ($f_{IN} = 30\text{MHz}$)

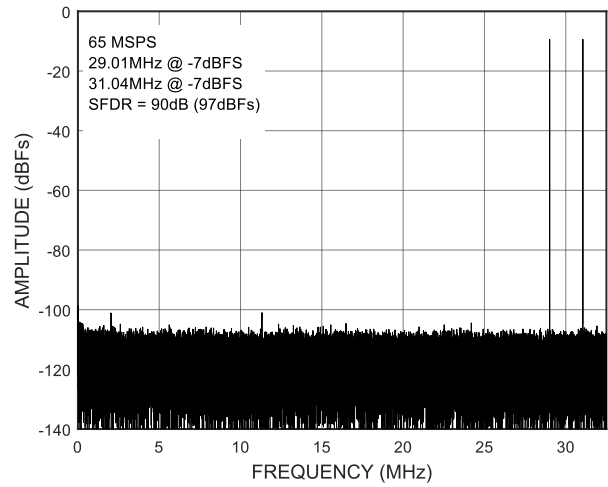


图 4 双音 FFT ($f_{IN} = 30\text{MHz}$)

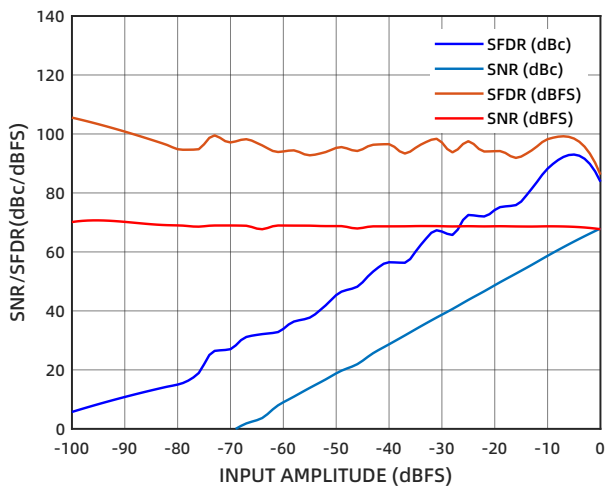


图 5 双音 SNR/SFDR 随输入幅度的变化 ($f_{IN} = 30\text{MHz}$)

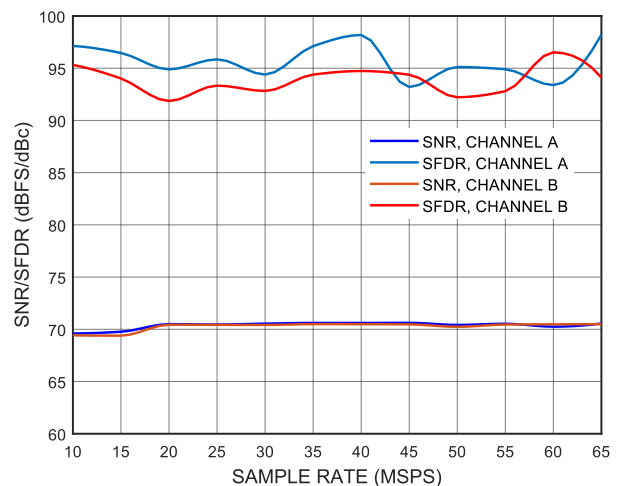


图 6 单音 SNR/SFDR 随采样率的变化 ($f_{IN} = 30\text{MHz}$)

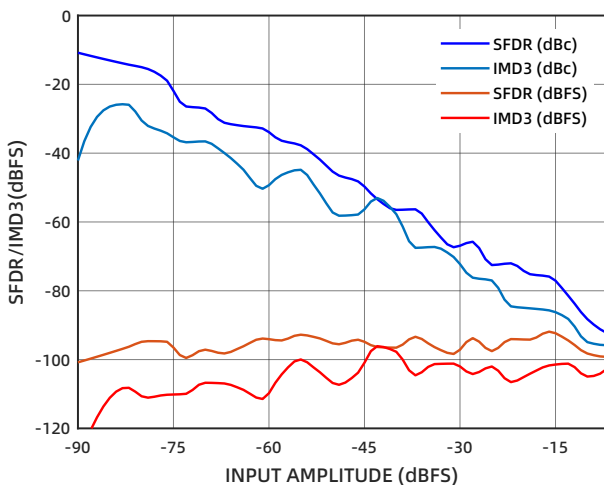


图 7 双音 SFDR/IMD3 随输入幅度的变化 ($f_{IN} = 30\text{MHz}$)

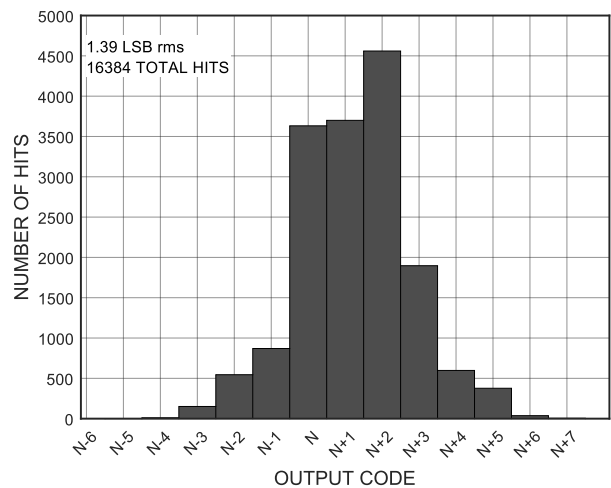


图 8 零输入直方图

工作原理

XL9643-65 是一款双通道 14 位 ADC。该设计既可以通过两个独立天线对同一个载波进行信号采样转换，也可以对两个不同的输入信号进行采样转换。通过在输入端增加合适的低通或者带通滤波器，XL9643-65 可对直流到 300MHz 范围内的信号进行无损的采样转换。

XL9643-65 支持同步功能，可以在多芯片之间进行采样同步。

ADC 结构

XL9643-65 是一款流水线开关电容 ADC。输入信号经过七级转换，且每一级的量化结果经过数字校准逻辑，最终输出 14 位转换结果。在流水线结构中，第一级对输入信号进行采样，后面每级对前一级输出采样。

流水线的每级均由一个低分辨率 Flash ADC 和一个级间残差放大器组成（最后一级除外，最后一级仅包括一个 Flash ADC）。放大器用于放大本级输入信号与 Flash ADC 转换结果之差，用于流水线工作流程的下一级采样。每级均使用一冗余位用于数字校正。

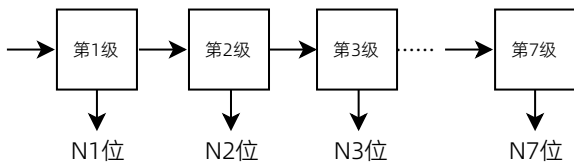


图 9 流水线工作流程

模拟输入

XL9643-65 的输入端采用差分开关电容电路。输入时钟为两相不交叠时钟，因此开关电容电路在采样模式和转换模式之间进行切换（如图 10 所示）。外部信号源需要有足够的驱动能力，以便在采样模式下，能够完成对采样电容的充电并达到稳定。

输入端串联一个小电阻，将有助于降低驱动源输出级产生的瞬变电流的峰值。可在输入端放置一个并联电容，以提供动态充电电流。另外，该无源电路在 XL9643-65 输入端构成了一个低通滤波器，因此精确的电阻电容值需要根据具体应用来计算确定。

此外，并联电容和驱动源的输出阻抗结合，会限制输入带宽。因此在中频欠采样应用中，应尽量减小并联电容。为获得最佳动态性能，驱动 VIN+ 和 VIN- 的源阻抗应匹配，且输入应保持差分平衡。

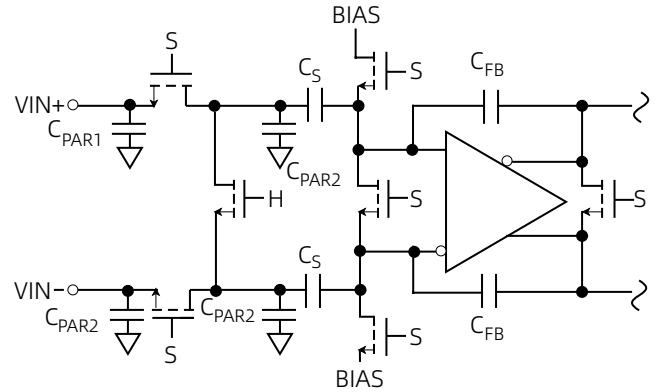


图 10 开关电容输入

输入共模

XL9643-65 的模拟输入不存在内部直流偏置。在交流耦合应用中，用户必须从外部提供该偏置。XL9643-65 设计中包含了共模电压基准。推荐使用 VCM 电压（通常为 0.5AVDD）来设置模拟输入的共模电压，以实现最佳性能。VCM 管脚与地之间必须连接 0.1μF 去耦电容。该去耦电容应靠近管脚放置，以尽可能减少管脚和电容之间的串联电阻和电感。

差分输入

为了得到最佳性能，需要设计合适的差分输入驱动电路。对于基带应用，XL4321 全差分放大器是理想选择。

可以利用 XL9643-65 的 VCM 管脚配置 XL4321 输出共模电压（参见图 11），将 ADC 驱动器配置为 Sallen-Key 滤波器拓扑结构，以限制输入信号的带宽。

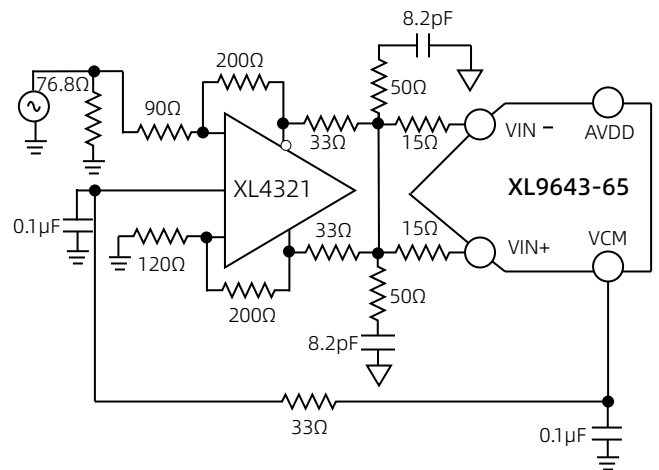


图 11 使用 XL4321 进行差分输入配置

有源驱动器均会带来加性噪声，要实现最优的 SNR 性能，推荐采用差分变压器作为 ADC 的输入前级。可将 XL9643-65 的 VCM 电压连接至变压器次级绕组的中心抽头，以提供 ADC 所需的模拟输入电压偏置（参见图 12）。

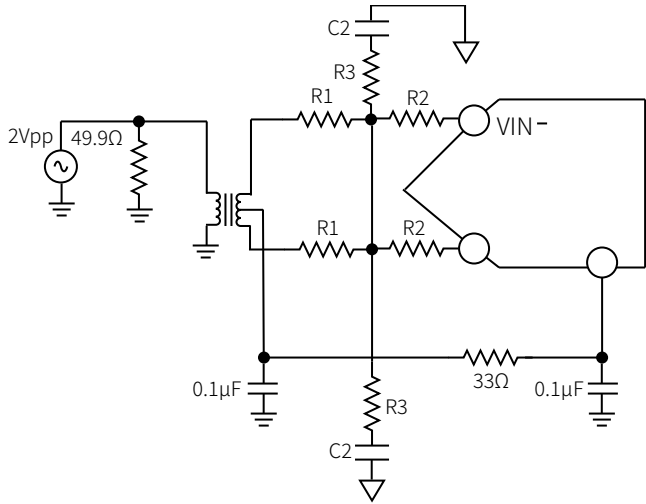


图 12 差动变压器耦合配置

选择变压器时，必须考虑输入信号特性。大多数射频变压器在频率低于几兆赫兹或者输入信号功率过大时造成磁芯饱和，导致失真。

输入频率在第二及以上奈奎斯特区时，大多数放大器的噪声性能已经恶化到不足以体现 XL9643-65 的真实 SNR 性能。对于以 SNR

为关键参数的应用，推荐将差分双巴伦耦合作为输入配置（参见图 13）。在该配置下，输入为交流耦合，通过一个 33Ω 的电阻为每个输入提供 VCM 电压。这些电阻经过巴伦阻抗变换后，为驱动器提供 50Ω 阻抗匹配。

在双巴伦和变压器配置中，输入电容和电阻的值取决于输入频率和源阻抗。表 3 显示了针对不同输入频率范围设置 RC 网络的推荐值。



说明：

表 3 中的值是针对图 12 和图 13 中的每个 R1、R2、C2 和 R3 器件。

表 3 RC 网络示例

频率范围 (MHz)	R1 (Ω)	C1 (pF)	R2 (Ω)	C2 (pF)	R3 (Ω)
0~100	33	8.2	0	15	49.9
100~300	15	3.9	0	8.2	49.9

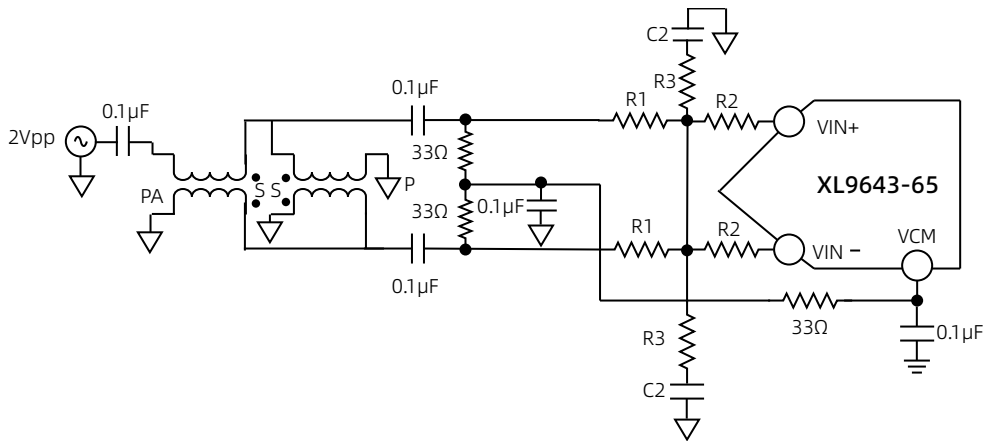


图 13 差分双巴伦输入配置

电压基准

XL9643-65 内置精密电压基准。可通过 SPI 接口改变基准电压来调节全量程输入范围。

时钟输入

为了获得最优性能，XL9643-65 采样时钟 CLK+ 和 CLK- 应使用差分信号输入。该信号通常通过变压器或电容交流耦合到 CLK+ 和 CLK- 管脚。这些管脚内部存在偏置，因此无需外部偏置（参见图 14）。

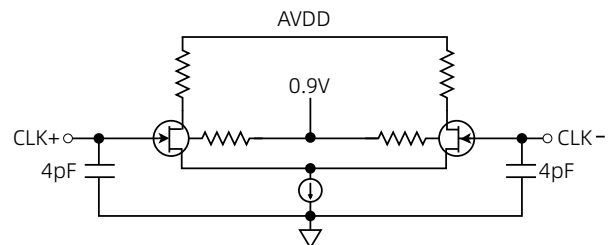


图 14 简易等效时钟输入电路

时钟输入选项

XL9643-65 具有非常灵活的时钟输入结构。时钟输入可以是 LVDS、LVPECL 或正弦波信号。无论使用何种信号类型，均需关注时钟源抖动（参见抖动）。

图 15 和图 16 展示了 XL9643-65 两种优选时钟方式（时钟频率高达 65MHz）。低抖动时钟源通过射频巴伦或射频变压器从单端信号转换为差分信号。

建议使用射频变压器配置 20MHz~65MHz 范围内的时钟频率。跨次级变压器的背靠背肖特基二极管将 XL9643-65 的时钟差分输入幅度限制在 0.8Vpp。该电路可以防止较大的时钟电压摆幅馈送到 XL9643-65 的其他部分，但是又可以通过较短的上升下降时间来实现低抖动性能，从而有助于较好的 SNR 性能。

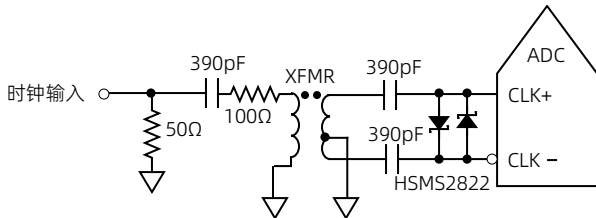


图 15 变压器耦合差分时钟

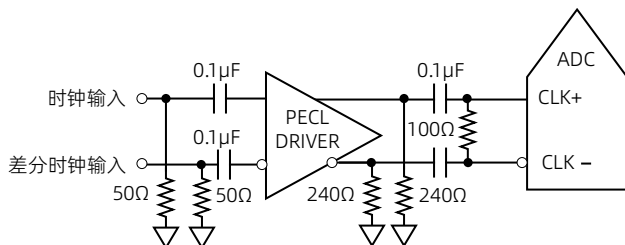


图 16 差分 PECL 采样时钟

抖动

高速、高分辨率 XL9643-65 对时钟输入品质较敏感。可通过以下公式计算特定输入频率 (f_{IN}) 下抖动 (t_j) 引起的 SNR 恶化:

$$SNR = -20\log(2\pi \times f_{IN} \times t_{jRMS})dB$$

公式中，RMS 孔径抖动代表所有抖动源的均方根，包括时钟输入、模拟输入信号以及 XL9643-65 自身的抖动。中频欠采样应用对抖动尤其敏感。

XL9643-65 的时钟输入设计同模拟输入通道设计一样重要，需要特别重视，因为时钟抖动会直接影响 ADC 的动态范围。时钟驱动器的电源应与 XL9643-65 输出驱动器电源区分开，以避免数字电源噪声影响时钟信号。低抖动晶体振荡器是时钟源的最佳选择。

数字输出

XL9643-65 输出驱动器可配置为 ANSI LVDS 或使用 1.8V 数字电源降低驱动 LVDS。

数字输出使能功能 (OEB)

XL9643-65 对数字输出管脚具有灵活的三态能力。可通过 OEB 管脚或 SPI 接口配置输出管脚的状态。如果 OEB 管脚为低电平，

则输出数据驱动器使能。如果 OEB 管脚为高电平，输出置于高阻抗状态。该 OEB 功能不能用于快速访问数据总线。OEB 以 DRVDD 为基准电源，不得超过该电源值。

当使用 SPI 接口时，通过配置 0x14 寄存器的输出使能位 (BIT 4)，每个通道的数据输出均可独立呈现为三态。由于输出数据是交错的，如果两个通道中只有一个被禁用，则另一个通道的数据会在时钟的上升沿和下降沿上重复输出。

时序

XL9643-65 在采样之后，延迟 10 个采样周期输出数据，该数据在时钟上升沿进行锁存，并经过一个传播延时后可以被读出。

应将输出数据线和负载的长度最小化，以避免对转换器动态性能的影响。该瞬态会降低转换器的动态性能。XL9643-65 最低转换率为 20MSPS。

数据时钟输出 (DCO)

用于捕获 ADC 的输出数据。为满足捕获数据的建立和保持时间要求，此 DCO 的延时可调，具体调节可参见表 5。图 1 显示了 XL9643-65 输出模式下的时序图。

超量程 (OR)

当在 XL9643-65 输入端检测到超量程时，超量程输出为高电平。超量程条件由 XL9643-65 流水线输出端确定。检测到超量程时，将在 10 个周期后通过 OR 位来指示。

表 4 输出数据格式

输入 (V)	VIN+ - VIN-, 输入范围 1.75Vpp (V)	二进制移码输出模式				二进制补码模式 (默认)				OR
VIN+ - VIN-	< -0.875	00	0000	0000	0000	10	0000	0000	0000	1
VIN+ - VIN-	-0.875	00	0000	0000	0000	10	0000	0000	0000	0
VIN+ - VIN-	0	10	0000	0000	0000	00	0000	0000	0000	0
VIN+ - VIN-	0.875	11	1111	1111	1111	01	1111	1111	1111	0
VIN+ - VIN-	> 0.875	11	1111	1111	1111	01	1111	1111	1111	1

功能与模式

功耗和待机模式

XL9643-65 的功耗与其采样率成比例。

通过置位 PDWN（通过 SPI 接口或将 PDWN 管脚置高）可使 XL9643-65 进入断电模式。该模式下，XL9643-65 的典型功耗为 5mW，输出驱动器处于高阻抗状态。将 PDWN 管脚置低，可使 XL9643-65 恢复到正常运行状态。PDWN 以数字输出驱动器电源(DRVDD)为基准，不得超过该电源。

断电模式下的低功耗是通过关闭基准电压源、基准电压缓冲器、偏置网络和时钟来实现的。断电模式下，内部电容会放电，恢复正常运行状态后必须重新充电。因此，唤醒时间与断电时长相关，较短的断电周期会导致唤醒时间成比例缩短。

使用 SPI 接口时，用户可将 XL9643-65 设置为断电模式或待机模式。待机模式下，内部基准不关闭，以实现较快的唤醒时间。更多信息，参见[寄存器](#)。

通道/芯片同步功能

XL9643-65 具有同步输入功能，用户可灵活选择同步方式来对多个芯片内部的分频器等电路进行同步操作。通过配置 0x3A 寄存器，可在同步信号单次出现或每次出现时同步分频器。

同步输入在内部与采样时钟同步。但是，为了避免定时不确定性，同步输入信号应与输入时钟信号同步。

同步输入信号 (SYNC) 在内部会与采样时钟同步。但是为了避免定时的不确定性，推荐采用本身与输入时钟信号同步的 SYNC 信号。

SPI 接口

SPI 接口存在两种工作模式。第一种为流式传输模式，通过将 CSB 管脚保持在低电平，永久使能 SPI 接口。第二种为总线模式，可以控制 CSB 管脚为高电平来关闭 SPI 接口使能，此时 SPI 接口将不再解析外部指令，SDIO 管脚会变为高阻抗模式。

不建议在数据转换器工作时，使能 SPI 接口。由于 SCLK 信号、CSB 信号和 SDIO 信号通常与 XL9643-65 时钟异步，来自这些信号的噪声会降低转换器性能。如果 PCB 板上 SPI 接口总线用于其他芯片，有必要在该总线和 XL9643-65 之间配置缓冲器，以避免 SPI 总线信号干扰 XL9643-65 的正常工作。

SPI 接口时序和定义可参见图 17。CSB 的下降沿和 SCLK 的上升沿决定了起始帧。

数据可通过 MSB 模式或 LSB 模式发送，XL9643-65 上电默认采用 MSB 模式，可通过对应接口配置寄存器对模式进行更改。

SPI 通信的前 16 位是指令帧。指令帧的第一个位是读/写指示位，如果该位置高，指令帧结束后，XL9643-65 将转换 SDIO 管脚为输出。W1 和 W0 两位是指令长度控制字，它们决定了指令帧后，共有 W1:W0+1 个字节长度的数据将被传输。

指令帧余下的 13 位则表示了待通信寄存器的地址。

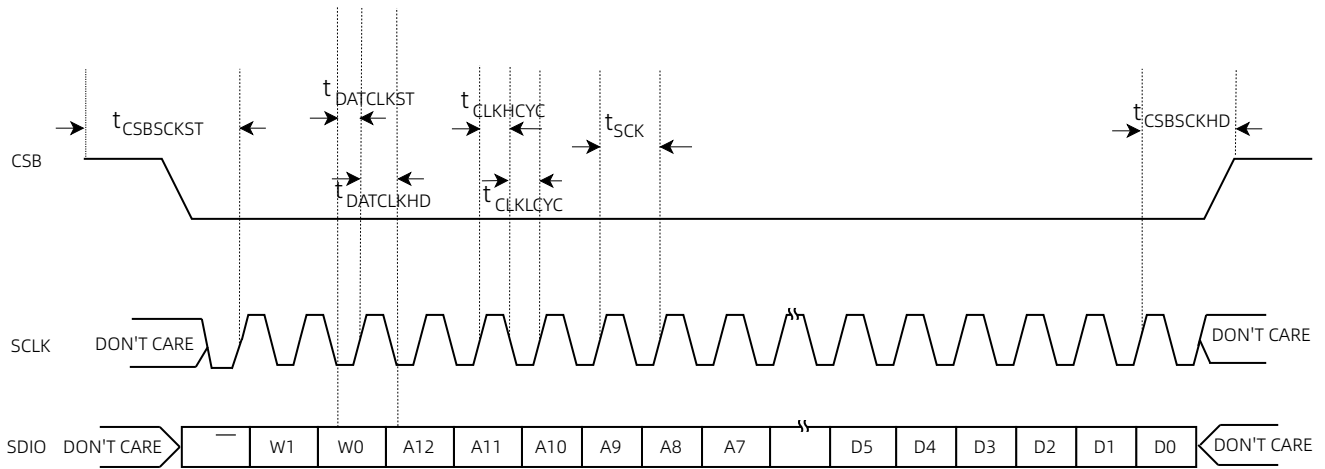


图 17 SPI 接口时序图

寄存器

传输寄存器

地址 0x08 到地址 0x20 和地址 0x3A 内部含有影子寄存器。写入这些地址不会立刻生效，直到将 0x01 写入 0xFF 寄存器，所有这些寄存器的值才会进行更新。寄存器的值更新后，0xFF 寄存器自动清零。

通道专用寄存器

通道功能设置相关的寄存器在 XL9643-65 内部均复制成双份，以保证通道 A 和通道 B 可以独立进行配置。双份寄存器享有同样的地址位，可通过 0x05 寄存器来确定配置通道 A 或通道 B 的对应

寄存器。如果 0x05 寄存器中两个通道均使能，对于写操作，则通道 A 和通道 B 寄存器写入同样的配置；对于读操作，则只是返回通道 A 的对应寄存器配置。

表 5 中标注全局 (GLO) 寄存器或者某些位设置后会影响到整个芯片功能，无法做到通道 A 和通道 B 单独配置，且不会被寄存器 0x05 所影响。标注局部 (LOC) 寄存器或者某些位，通道 A 和通道 B 可以通过更改寄存器 0x05 后独立配置。

表 5 寄存器汇总表

地址	名称	默认值	描述
0x00	SPI CONFIG (GLO)	0x18	SPI 接口配置。该寄存器使用时应将高 4 位和低 4 位互为镜像，以保证不管 SPI 是 LSB 优先模式还是 MSB 优先模式，该寄存器均可正常配置生效。
0x01	CHIP ID (GLO)	0x82	芯片 ID。只读。
0x02	CHIP GRADE (GLO)	-	芯片等级 ID，用于区分芯片。只读。
0x05	CHANNEL INDEX (GLO)	0x03	通道配置使能，用以实现通道 A 和通道 B 功能独立配置。
0x08	POWER MODE (LOC)	0x00	芯片功耗模式配置。
0x0B	CLK DIVIDE (GLO)	0x00	输入时钟分频及分频相位调整。
0x0D	TEST MODE (LOC)	0x00	内建测试模式输出选择。当设置了该寄存器时，输出管脚将输出对应的测试数据。
0x10	OFFSET ADJUST (LOC)	0x00	输出偏移调整。
0x14	OUTPUT MODE (LOC)	0x05	配置数据的输出和格式。
0x15	OUTPUT ADJUST (GLO)	0x01	LVDS 模式输出驱动电流调整。
0x16	CLK PHASE CTRL (GLO)	0x00	输出模式配置。
0x17	DCO OUTPUT DELAY (GLO)	0x00	DCO 输出延迟使能和调整。
0x18	INPUT SPAN SELECT (GLO)	0x00	最大输入范围调整。
0x19	TEST PATTERN1 LSB (GLO)	0x00	用户测试向量 1 低 8 位。
0x1A	TEST PATTERN1 MSB (GLO)	0x00	用户测试向量 1 高 8 位。
0x1B	TEST PATTERN2 LSB (GLO)	0x00	用户测试向量 2 低 8 位。
0x1C	TEST PATTERN2 MSB (GLO)	0x00	用户测试向量 2 高 8 位。
0x1D	TEST PATTERN3 LSB (GLO)	0x00	用户测试向量 3 低 8 位。
0x1E	TEST PATTERN3 MSB (GLO)	0x00	用户测试向量 3 高 8 位。
0x1F	TEST PATTERN4 LSB (GLO)	0x00	用户测试向量 4 低 8 位。
0x20	TEST PATTERN4 MSB (GLO)	0x00	用户测试向量 4 高 8 位。
0x3A	SYNC CTRL (GLO)	0x00	时钟同步控制。
0xFF	TRANSFER (GLO)	0x00	同步更新配置。

SPI CONFIG (GLO, 0x00)

位	名称	访问类型	复位	描述
7	RSV	R	0	保留位。
6	LSB FIRST	RW	0	SPI 传输顺序选择。 0: MSB 优先 1: LSB 优先
5	SOFT RESET	RW	0	软复位功能。启用复位，复位 00 地址以外的所有寄存器后，该位会被自动清除。
4	RSV	R	1	保留位。
3	RSV	R	1	保留位。
2	SOFT RESET	RW	0	软复位功能。启用复位，复位 00 地址以外的所有寄存器后，该位会被自动清除。
1	LSB FIRST	RW	0	SPI 传输顺序选择。 0 位: MSB 优先 1 位: LSB 优先
0	RSV	R	0	保留位。

CHIP ID (GLO, 0x01)

位	名称	访问类型	复位	描述
7:0	CHIP ID	R	0x00	芯片 ID。

CHIP GRADE (GLO, 0x02)

位	名称	访问类型	复位	描述
7:0	CHIP GRADE	R	0x00	芯片等级。

CHANNEL INDEX (GLO, 0x05)

位	名称	访问类型	复位	描述
7:2	RSV	RW	0x00	保留位。
1	ADC B	RW	1	B 通道操作使能。使能后配置 LOC 寄存器将在 B 通道生效。
0	ADC A	RW	1	A 通道操作使能。使能后配置 LOC 寄存器将在 A 通道生效。

POWER MODE (LOC, 0x08)

位	名称	访问类型	复位	描述
7:6	RSV	RW	00	保留位。

位	名称	访问类型	复位	描述
5	PDWN PIN FUNCTION	RW	0	硬件 PDWN 管脚低功耗模式选择。 0: 断电模式 1: 待机模式
4:2	RSV	RW	000	保留位。
1:0	INTERNAL FUNCTION	RW	00	内部软件工作模式选择 (LOC)。 00: 正常工作模式 01: 断电模式 10: 待机模式 11: 保留

CLK DIVIDE (GLO, 0x0B)

位	名称	访问类型	复位	描述
7:6	RSV	RW	00	保留位。
5:3	CLK PHASE ADJUST	RW	000	时钟分频相位调整。 000: 无延迟 001: 1 个输入时钟周期 010: 2 个输入时钟周期 011: 3 个输入时钟周期 100: 4 个输入时钟周期 101: 5 个输入时钟周期 110: 6 个输入时钟周期 111: 7 个输入时钟周期
2:0	CLK DIVIDE RTO	RW	000	时钟分频调整。 000: 1 分频 001: 2 分频 010: 3 分频 011: 4 分频 100: 5 分频 101: 6 分频 110: 7 分频 111: 8 分频

TEST MODE (LOC, 0x0D)

位	名称	访问类型	复位	描述
7	TEST MODE CTRL	RW	0	测试向量输出模式选择。 0: 循环模式 1: 单次模式
6	RSV	RW	0	保留位。
5	RESET PN LONG	RW	0	PN23 长伪随机序列复位。当该位为 1 时, PN23 长序列复位值为 0x3AFF。
4	RESET PN SHORT	RW	0	PN9 短伪随机序列复位。当该位为 1 时, PN9 短序列复位值为 0x0092。

位	名称	访问类型	复位	描述
3:0	TEST MODE	RW	0000	内置测试输出模式选择，启用后 OR 管脚将做为最高位，与数据输出端口一起，输出对应的测试数据。 0000: 测试模式关闭，正常输出模式 0001: 二进制补码中值 (0x000) 0010: 二进制补码-1 (0x3FF) 0011: 保留位 0100: 棋盘格 0101: PN23 长伪随机序列，多项式为 $X^{23}+X^{18}+1$ ，输出时低位进行截断处理 0110: PN9 短伪随机序列，多项式为 X^9+X^5+1 ，输出时高位进行补 0 0111: 1/0 交替输出 1000: 用户测试模式，输出自定义测试向量 1001~1111: 保留位

OFFSET ADJUST (LOC, 0x10)

位	名称	访问类型	复位	描述
7:6	RSV	RW	00	保留位。
5:0	OFFSET ADJUST	RW	0x00	输出偏移调整，调整范围为 -32~+31 LSB。此寄存器的值为二进制补码形式，配置后此寄存器的值将会在数据输出之前进行加和处理。处理完成后，才会检查超量程情况，并输出处理后的数据。

OUTPUT MODE (LOC, 0x14)

位	名称	访问类型	复位	描述
7:5	RSV	RW	000	保留位。
4	OUTPUT ENABLE	RW	0	通道 ADC 输出使能。若只关闭一个通道，则关闭通道的输出会重复另一通道。
3	RSV	RW	0	保留位。
2	OUTPUT INVERT	RW	1	输出反向。 0: 反向输出 1: 正常输出
1:0	OUTPUT FORMAT	RW	01	输出格式。 00: 二进制移码 01: 二进制补码 10: 格雷码 11: 保留

OUTPUT ADJUST (GLO, 0x15)

位	名称	访问类型	复位	描述
7:3	RSV	RW	0x00	保留位。
6:4	RSV	RW	0	必须保持为 0。

位	名称	访问类型	复位	描述
2:0	LVDS CURRENT ADJUST	RW	001	LVDS 模式输出驱动电流调整。 000: 3.72mA 001: 3.5mA 010: 3.3mA 011: 2.96mA 100: 2.82mA 101: 2.57mA 110: 2.27mA 111: 2mA

CLK PHASE CTRL (GLO, 0x16)

位	名称	访问类型	复位	描述
7	INVERT DCO	RW	0	DCO 时钟输出相位反向。
6	RSV	RW	0	必须保持为 0。
5	EVEN/ODD MODE	RW	0	LVDS 模式输出模式选择。 0: 交错方式 1: 复用方式
4:0	RSV	RW	0x00	保留位。

DCO OUTPUT DELAY (GLO, 0x17)

位	名称	访问类型	复位	描述
7	DCO DELAY ENABLE	RW	0	DCO 时钟延迟调整使能。
6:4	RSV	RW	000	保留位。
3:0	DCO DELAY ADJUST	RW	0000	DCO 输出延迟调整。 延迟 = 输入时钟周期×5%×(寄存器值+1)

INPUT SPAN SELECT (GLO, 0x18)

位	名称	访问类型	复位	描述
7:5	RSV	RW	000	保留。
4:0	INPUT FULL-SCALE	RW	0x00	满量程输入电压选择, 步进为 0.022V。 01111 = 2.087Vpp ... 00001 = 1.772Vpp 00000 = 1.75Vpp 11111 = 1.727Vpp ... 10000 = 1.383Vpp

TEST PATTERN1 LSB (GLO, 0x19)

位	名称	访问类型	复位	描述
7:0	TEST PATTERN1 LSB	RW	0x00	用户测试向量 1 低 8 位。

TEST PATTERN1 MSB (GLO, 0x1A)

位	名称	访问类型	复位	描述
7:0	TEST PATTERN1 MSB	RW	0x00	用户测试向量 1 高 8 位。

TEST PATTERN2 LSB (GLO, 0x1B)

位	名称	访问类型	复位	描述
7:0	TEST PATTERN2 LSB	RW	0x00	用户测试向量 2 低 8 位。

TEST PATTERN2 MSB (GLO, 0x1C)

位	名称	访问类型	复位	描述
7:0	TEST PATTERN2 MSB	RW	0x00	用户测试向量 2 高 8 位。

TEST PATTERN3 LSB (GLO, 0x1D)

位	名称	访问类型	复位	描述
7:0	TEST PATTERN3 LSB	RW	0x00	用户测试向量 3 低 8 位。

TEST PATTERN3 MSB (GLO, 0x1E)

位	名称	访问类型	复位	描述
7:0	TEST PATTERN3 MSB	RW	0x00	用户测试向量 3 高 8 位。

TEST PATTERN4 LSB (GLO, 0x1F)

位	名称	访问类型	复位	描述
7:0	TEST PATTERN4 LSB	RW	0x00	用户测试向量 4 低 8 位。

TEST PATTERN4 MSB (GLO, 0x20)

位	名称	访问类型	复位	描述
7:0	TEST PATTERN4 MSB	RW	0x00	用户测试向量 4 高 8 位。

SYNC CTRL (GLO, 0x3A)

位	名称	访问类型	复位	描述
7:3	RSV	RW	0x00	保留位。
2	NEXT SYNC ONLY	RW	0	控制同步脉冲下次生效。当同步使能 (0x3A, 位 1) 与同步主使能 (0x3A, 位 0) 均为 1 时, 将此位置为 1 后, 芯片会在接收到第一个同步脉冲时同步内部时钟相位。在同步完成后, 此位将自动清零, 忽略之后的同步脉冲。
1	SYNC ENABLE	RW	0	时钟同步使能。
0	MASTER SYNC ENABLE	RW	0	时钟同步主使能 (总开关)。

TRANSFER (GLO, 0xFF)

位	名称	访问类型	复位	描述
7:1	RSV	RW	0x00	保留位。
0	TRANSFER	RW	0	影子寄存器同步使能。该位使能后会将主寄存器的值更新至从寄存器, 从而控制功能生效。更新完成后此位将自动清零。

应用

电源和接地建议

接通 XL9643-65 电源时，建议使用两个独立的 1.8V 电源：一个用于模拟输出 (AVDD)，一个用于数字输出 (DRVDD)。建议采用多个不同大小容值的去耦电容对模拟和数字电源去耦，以覆盖不同频率电源去耦的要求。将这些去耦电容摆放在距离器件对应电源管脚尽可能近的位置，并使用尽可能短的导线连接。

对 XL9643-65 进行布局布线时，建议在芯片下方铺设一个完整稳固的地平面，不建议对 XL9643-65 进行分地处理。优秀的电源去耦，以及模拟、时钟和数字电路良好空间布局有利于实现 XL9643-65 的最佳性能。

裸露焊盘散热块建议

XL9643-65 底部的焊盘必须连接至模拟地 (AGND)，以实现最佳电性能和热性能。PCB 板上的铜平面应与焊盘相匹配。

铜平面应具有几个过孔，以实现最短的热路径，以便通过 PCB 板底部散热。这些过孔应使用非导电环氧树脂材料填充或阻塞。

为了使 XL9643-65 和 PCB 板之间的覆盖率和附着力最大，建议将 PCB 板上的焊盘分割成几个均匀的部分。这样，回流焊过程中在 XL9643-65 和 PCB 板之间至少能保证多个连接点。使用无分区的连续平面可能导致 XL9643-65 和 PCB 板之间仅有一个连接点。

VCM 管脚

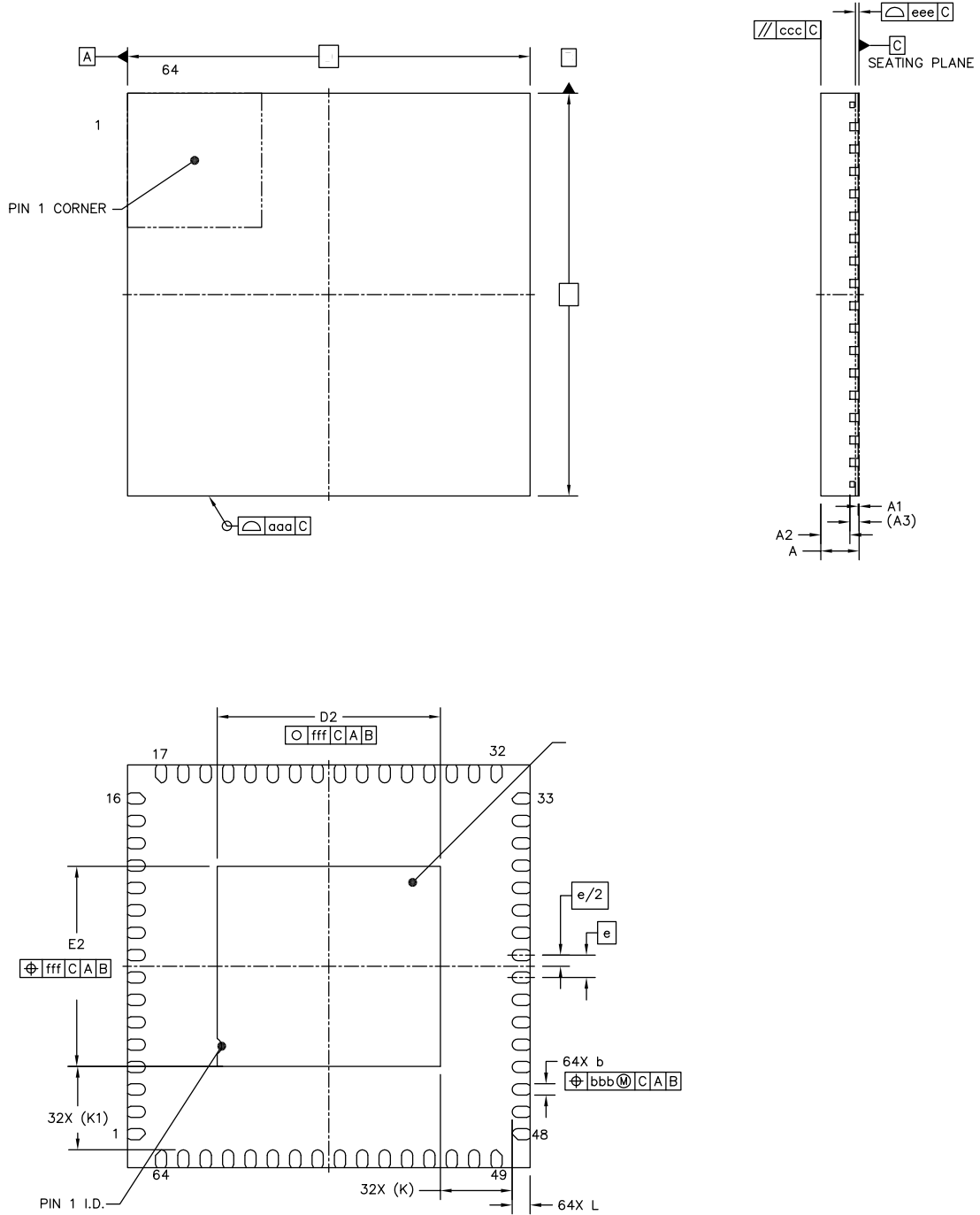
应使用 0.1 μ F 电容将 VCM 管脚去耦接地（参见图 12）。为了实现通道间最佳隔离效果，VCM 管脚和通道 A /通道 B 模拟输入网络，均应放置一个 33 Ω 电阻。

封装及订购信息

封装方式

XL9643-65 采用 QFN64 封装。

产品外形图



标识	尺寸 (毫米)		
	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0	0.02	0.05
A2	-	0.65	-
A3	0.20 (REF)		
b	0.20	0.25	0.30
D (X)	9.00 (BSC)		
E (Y)	9.00 (BSC)		
e	0.50 (BSC)		
D2 (X)	4.89	4.99	5.09
E2 (Y)	4.37	4.47	4.57
L	0.30	0.40	0.50
K	1.61 (REF)		
K1	1.87 (REF)		
aaa	0.10		
ccc	0.10		
eee	0.08		
bbb	0.10		
fff	0.10		

订购信息

型号	温度范围	封装	包装	包装数量
XL9643-65-QFNTR	-40°C~85°C	QFN64	Tray	2600